

自适应整流器控制芯片

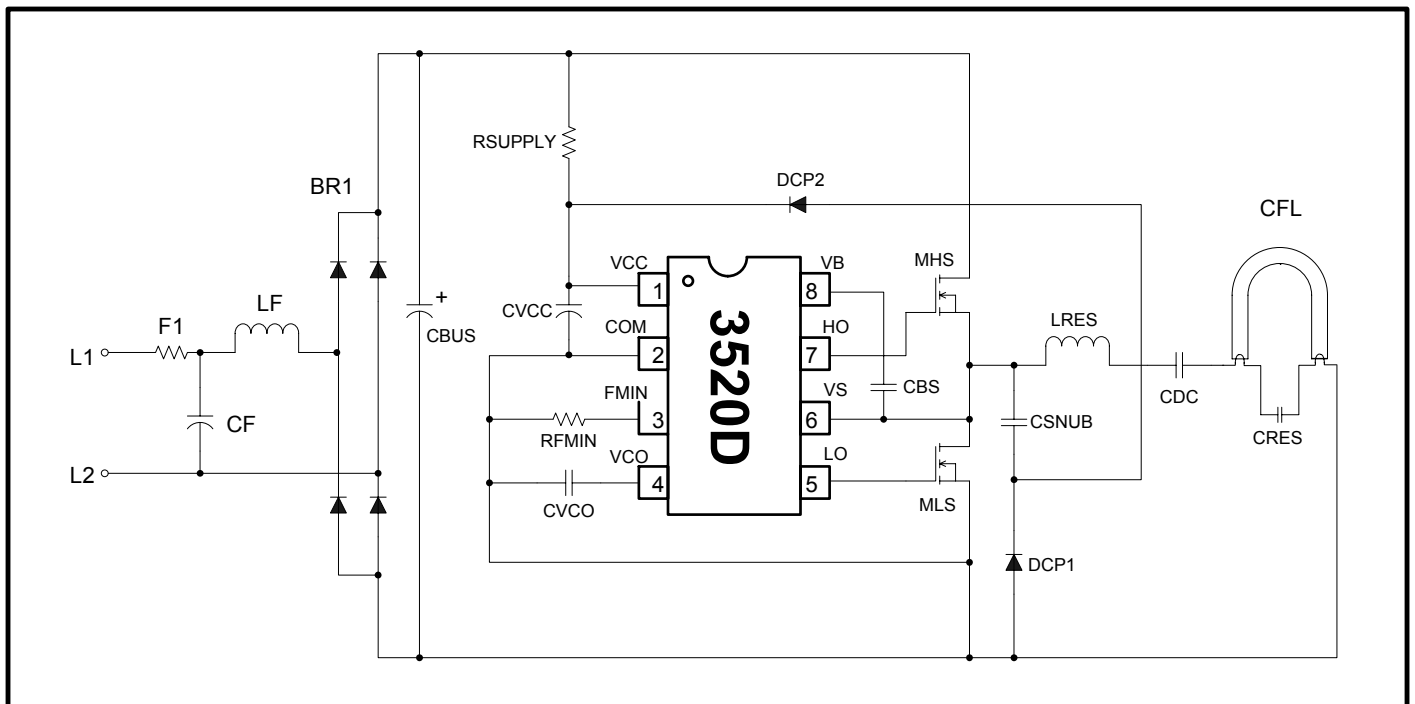
概述

应用于紧凑型荧光灯的3520D是一款集成600V半桥驱动的自适应整流器控制芯片。此芯片包含自适应零电压开关，峰值因子过流保护功能，同时还集成了自举二极管。该芯片最核心的部分是一个最小频率外部可调的压控振荡器。所有的整流器控制芯片需要的特性全部集成到这个8管脚的DIP/SOIC封装体内。

特性

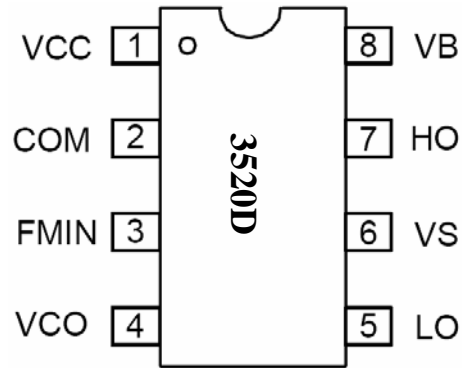
- 600V 半桥驱动
- 集成自举二极管
- 自适应零电压开关(ZVS)
- 内部峰值因子检测过流保护
- 0 to 6V 直流电压控制压控振荡器
- 最小频率外部可调
- 微功耗启动 (80uA)
- V_{CC}内部15.6V 齐纳钳位
- DIP-8 封装、无铅封装

典型应用



自适应整流器控制芯片

引脚分布



引脚功能

| 引脚 # | 名称 | 描述 |
|------|------|-----------|
| 1 | VCC | 低压电源 |
| 2 | COM | 芯片功率地和信号地 |
| 3 | FMIN | 最小频率设置端口 |
| 4 | VCO | 压控振荡器输入端 |
| 5 | LO | 低压侧栅驱动输出端 |
| 6 | VS | 高压侧浮动地 |
| 7 | HO | 高压侧栅驱动输出端 |
| 8 | VB | 高压侧浮动电源 |

自适应整流器控制芯片

绝对最大值范围

如果强度超过下面的极限工作状态很可能会损坏器件。超过这些状态器件可能不运行，而在推荐的工作条件下器件是能正常运行的，这些极限工作条件下是不推荐使用的。下表中的所有极限电压参数全部是对地的电压，所有的电流是从管脚流进去的电流。另外，超出推荐工作状态可能会影响器件的可靠性。

| 符号 | 参数 | 最小 | 最大 | 单位 |
|------------|--|-------------|----------------|---------------------------|
| V_B | 高压侧浮动电源电压 | -0.3 | 625 | V |
| V_S | 高压侧浮动偏置电压 | $V_B - 25$ | $V_B + 0.3$ | |
| V_{HO} | 高压侧浮动输出电压 | $V_S - 0.3$ | $V_B + 0.3$ | |
| V_{LO} | 低压侧输出电压 | -0.3 | $V_{CC} + 0.3$ | |
| I_{VCO} | 压控振荡器输入电流(注意 1) | -5 | +5 | mA |
| I_{CC} | 电源电流(注意2) | -25 | 25 | mA |
| dV_S/dt | 偏置电压的压摆率 | -50 | 50 | V/ns |
| P_D | 在 $T_A \leq +25^\circ\text{C}$, $P_D = (T_{JMAX} - T_A)R_{thJA}$ 时的封装功耗, DIP-8 | | 1 | W |
| | 在 $T_A \leq +25^\circ\text{C}$, $P_D = (T_{JMAX} - T_A)R_{thJA}$ 时的封装功耗, SOIC-8 | | 0.625 | |
| R_{thJA} | 芯片到环境的热阻, DIP-8 | | 125 | $^\circ\text{C}/\text{W}$ |
| | 芯片到环境的热阻, SOIC-8 | | 200 | |
| T_A | 工作温度 | -25 | 125 | $^\circ\text{C}$ |
| T_{STG} | 储藏温度 | -65 | 150 | |
| T_L | 管脚温度 (soldering, 10 seconds) | | 300 | |

注意 1: 这颗芯片在VCO脚和地之间有一个齐纳二极管钳位结构,在通常状态下它的击穿电压是6V。请不要用大于6V的低阻抗直流电源连接到这个管脚上。

注意 2: 这颗芯片在VCC和地之间有一个齐纳二极管钳位结构,在通常状态下它的击穿电压是15.6V。请不要用大于 V_{CLAMP} 的低阻抗直流电源连接到这个管脚上。

推荐工作条件

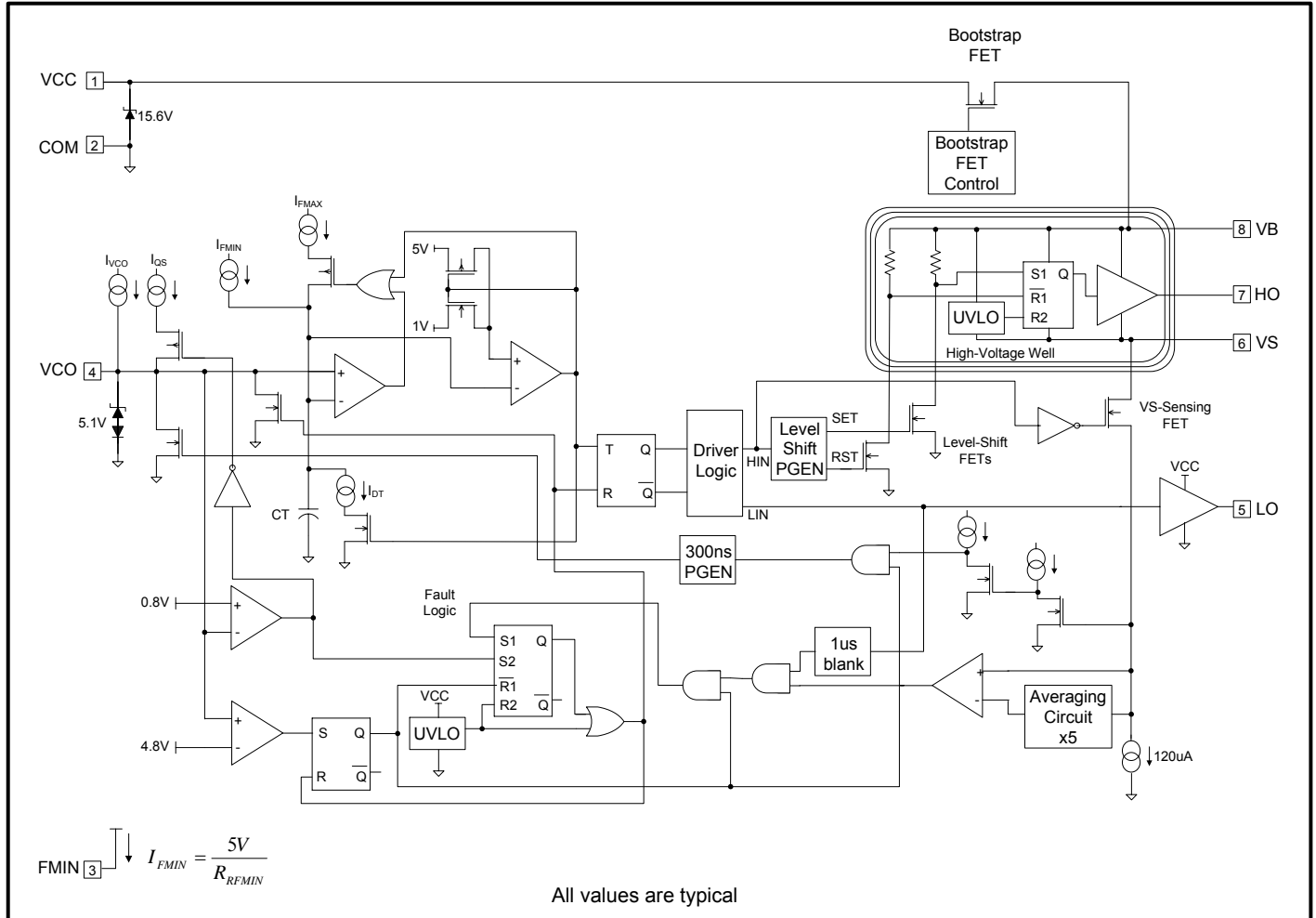
为了保证器件正常工作，芯片必须工作在以下工作条件。

| 符号 | 定义 | 最小 | 最大 | 单位 |
|------------|-----------------|----------------|-------------|------------------|
| V_{BS} | 高压侧浮动电源电压 | $V_{CC} - 0.7$ | V_{CLAMP} | V |
| V_S | 稳定状态高压侧浮动电源偏置电压 | -1 | 600 | |
| V_{CC} | 低压电源电压 | V_{CCUV+} | V_{CLAMP} | |
| I_{CC} | 低压电源工作电流 | 注意 3 | 10 | mA |
| R_{FMIN} | 最小频率设置电阻 | 20 | 140 | $k\Omega$ |
| V_{VCO} | VCO脚电压 | 0 | 5 | V |
| T_J | 结温 | -25 | 125 | $^\circ\text{C}$ |

注意 3: 为了保持芯片内部的15.6V齐纳钳位二极管保持正常钳位电压，请提供足够的电流提供给VCC管脚上。

自适应整流器控制芯片

模块框图



自适应整流器控制芯片

电气特性

$V_{CC} = V_{BS} = V_{BIAS} = 14V \pm 0.25V$, $R_{FMIN} = 82k\Omega$, 除非有特殊说明, 否则 $T_A = 25^\circ C$ 。

| 符号 | 定义 | 最小 | 典型 | 最大 | 单位 | 测试条件 |
|-------------------|-------------------------|------|------|------|---------|--------------------------|
| 电源电学特性 | | | | | | |
| V_{CCUV+} | V_{CC} 欠压锁定正向开启电压 | 11.4 | 12.6 | 13.8 | V | V_{CC} 从0V往上升 |
| V_{CCUV-} | V_{CC} 欠压锁定负向关断电压 | 9.0 | 10.0 | 11.0 | | |
| V_{UVHYS} | V_{CC} 欠压锁定迟滞 | — | 2.7 | — | | |
| I_{QCCUV} | 欠压锁定模式静态电流 | — | 45 | 80 | μA | $V_{CC} = 10V$ |
| I_{QCCFLT} | 错误模式静态电流 | — | 100 | — | | |
| I_{CCHF} | V_{CC} 电源电流 $f=85KHz$ | — | 4.5 | — | mA | $V_{VCO}=0V$ |
| I_{CCLF} | V_{CC} 电源电流 $f=35KHz$ | — | 2.0 | — | | $V_{VCO}=6V$ |
| V_{CLAMP} | V_{CC} 齐纳钳位电压 | 14.4 | 15.4 | — | V | $I_{CC} = 10mA$ |
| 浮动电源特性 | | | | | | |
| I_{QBS0} | V_{BS} 电源静态电流 | — | 80 | 150 | μA | $V_{CC}=10V, V_{BS}=14V$ |
| I_{QBSUV} | 欠压模式下 V_{BS} 电源静态电流 | — | 20 | 40 | | $V_{CC}=10V, V_{BS}=7V$ |
| V_{BSUV+} | V_{BS} 欠压锁定正向开启电压 | 7.7 | 9.0 | 10.3 | V | |
| V_{BSUV-} | V_{BS} 欠压锁定负向关断电压 | 6.8 | 8.0 | 9.2 | V | |
| I_{LK} | 偏置电源漏电流 | — | — | 50 | μA | $V_B = V_S = 600V$ |
| 振荡器 I/O 特性 | | | | | | |
| $f_{(min)}$ | 最小振荡频率 (注意 4) | 30 | 36 | 38.2 | kHz | $V_{VCO}=6V$ |
| $f_{(max)}$ | 最大振荡频率 (注意 4) | 70 | 90 | 96 | | $V_{VCO}=0V$ |
| D | 振荡器占空比 | — | 50 | — | % | |
| DT_{LO} | LO 输出死区时间 | — | 2.0 | — | μS | |
| DT_{HO} | HO 输出死区时间 | — | 2.0 | — | μS | |
| I_{VCOQS} | 快速启动时, VCO脚电流 | — | 80 | — | μA | $V_{VCO}=0V$ |
| I_{VCOFS} | 频率爬升时, VCO脚电流 | 0.8 | 1.6 | 2.0 | | $V_{VCO}=2V$ |
| I_{VCO_5V} | 当VCO脚电压达到5V时VCO脚电流 | — | 1.1 | — | | |
| V_{VCO_max} | VCO脚最大电压 | — | 6 | — | V | |
| 栅驱动输出特性 | | | | | | |
| $V_{LO=LOW}$ | 当LO为低时LO输出电压 | — | COM | — | mV | |
| $V_{HO=LOW}$ | 当HO为低时HO输出电压 | — | COM | — | mV | |
| $V_{LO=HIGH}$ | 当LO为高时LO输出电压 | — | VCC | — | mV | |
| $V_{HO=HIGH}$ | 当HO为高时HO输出电压 | — | VCC | — | mV | |
| T_{RISE} | 开通时上升时间 | — | 150 | 230 | nS | |
| T_{FALL} | 关断时下降时间 | — | 75 | 120 | nS | |
| IO+ | 输出到电源短路时脉冲电流 | — | 140 | — | mA | |
| IO- | 输出到地短路时脉冲电流 | — | 230 | — | mA | |

注意 4: 此频率是在 $R_{FMIN}=82k\Omega$ 的情况下的值。可通过改变 R_{FMIN} 来调高或者调低频率值。

自适应整流器控制芯片

电气特性

$V_{CC} = V_{BS} = V_{BIAS} = 14V \pm 0.25V$, $R_{FMIN} = 82k\Omega$, 除非有特殊说明, 否则 $T_A = 25^\circ C$ 。

| 保护特性 | | | | | | |
|----------------------|---------------------|------|------|------|-----|-----------------------------|
| V_{VCO_RUN} | 进入运行模式时候VCO脚电压 | — | 4.8 | — | V | |
| CSCF | 错误模式的峰值因子比 (峰值比平均值) | — | 5.0 | — | N/A | $V_S \text{ offset} = 0.5V$ |
| $V_{S_OFFSET_MAX}$ | VS 最大偏置电压 | — | 3.0 | — | V | |
| V_{VCO_SD} | VCO 关断电压 | 0.74 | 0.82 | 0.91 | V | |
| 最小频率设置 | | | | | | |
| V_{FMIN} | 正常运行时FMIN 电压 | 4.8 | 5.1 | 5.4 | V | |
| $V_{FMINFLT}$ | 错误模式时FMIN 电压 | — | 0 | — | V | |
| 自举FET | | | | | | |
| IBS1 | VB 电流 | 30 | 70 | — | mA | $C_{BS}=0.1\mu F, V_S=0V$ |
| IBS2 | VB 电流 | 10 | 20 | — | mA | $V_{BS} = 10V$ |

应用信息

欠压锁定模式

欠压锁定模式是指当VCC电压低于芯片的启动电压阈值时3520D所处的状态。在欠压锁定模式下3520D芯片电源上只有极其微小的电流($I_{QCCUV} < 80\mu A$)，此模式是为了保证在3520D的全部功能正常之后芯片的高压侧和低压侧才能有输出。刚开始时，VDC通过电源电阻RSUPPLY的电流减去3520D的启动下拉电流后向VCC脚上的电容CVCC充电(图1)。选择这个电源电阻RSUPPLY的前提是要保证从VDC上能够提供足够的电流给3520D。VCC的电压，也就是CVCC的电压逐渐升高，当VCC的电压升高到启动阈值 V_{CCUV+} 的时候，3520D打开HO和LO开始震荡。电容CVCC要足够大以保证在开始的半个周期内维持VCC的电压大于 V_{CCUV+} ，直到有外部另外的供电装置来保证芯片的电源电压和电流需求。

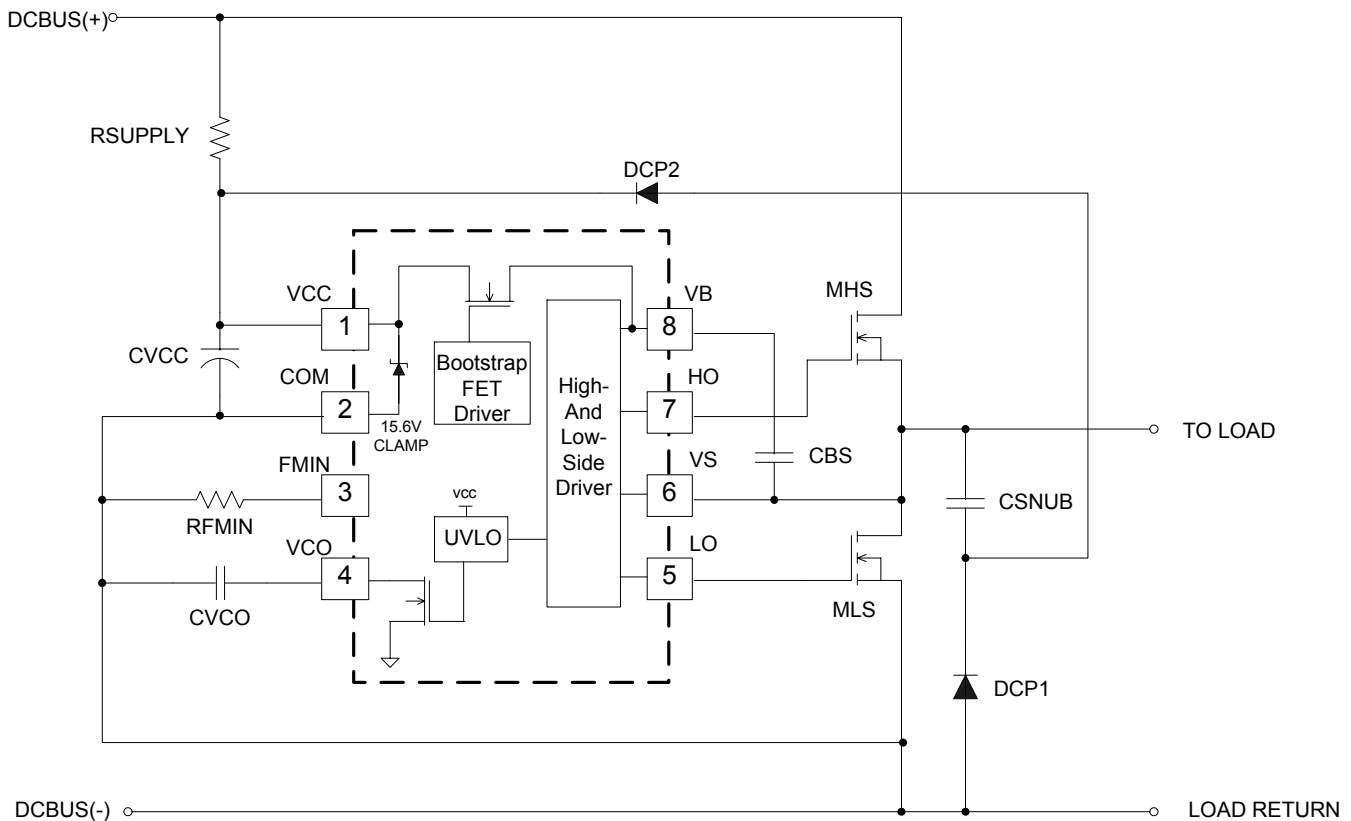


图1 启动电路

自适应整流器控制芯片

应用信息

内部集成在VCC和VB之间的自举MOSFET将决定高压侧驱动电路的电源电压。由电容CSNUB和二极管DCP1、DCP2组成的外部电荷泵电路将给低压侧驱动电路提供一个额外的电源。为了保证在第一个脉冲到达HO之前高压侧的电源已经被充电到了高电平，开始的时候的输出脉冲都是有LO脚输出的。可能LO震荡了好几个周期后，VB-VS的电压才能超过高压侧的欠压钳位阈值 V_{BSUV+} (9 Volts)，这个时候高压侧才能有输出。在整个UVLO模式期间，高压侧和低压侧的输出HO、LO都是低电平，VCO脚也是被拉到GND电平将启动频率设置成最大值。

频率扫描模式

当VCC超过阈值 V_{CCUV+} ，3520D进入频率扫描模式。图2中所示的一个内部的电流源给VCO引脚的外部电容CVCO充电，使得VCO引脚的电压开始线性上升。一个额外的快速启动电流 I_{VCOQS} 也和VCO引脚相连，将VCO引脚的电压从初始值充到0.85V。当VCO的电压超过0.85V，这个快速启动电流在内部断开，VCO的电压随着正常频率扫描电流源 I_{VCOFS} 的充电而继续被抬升（图3）。这个快速启动将VCO电压快速的带到VCO内部的范围。

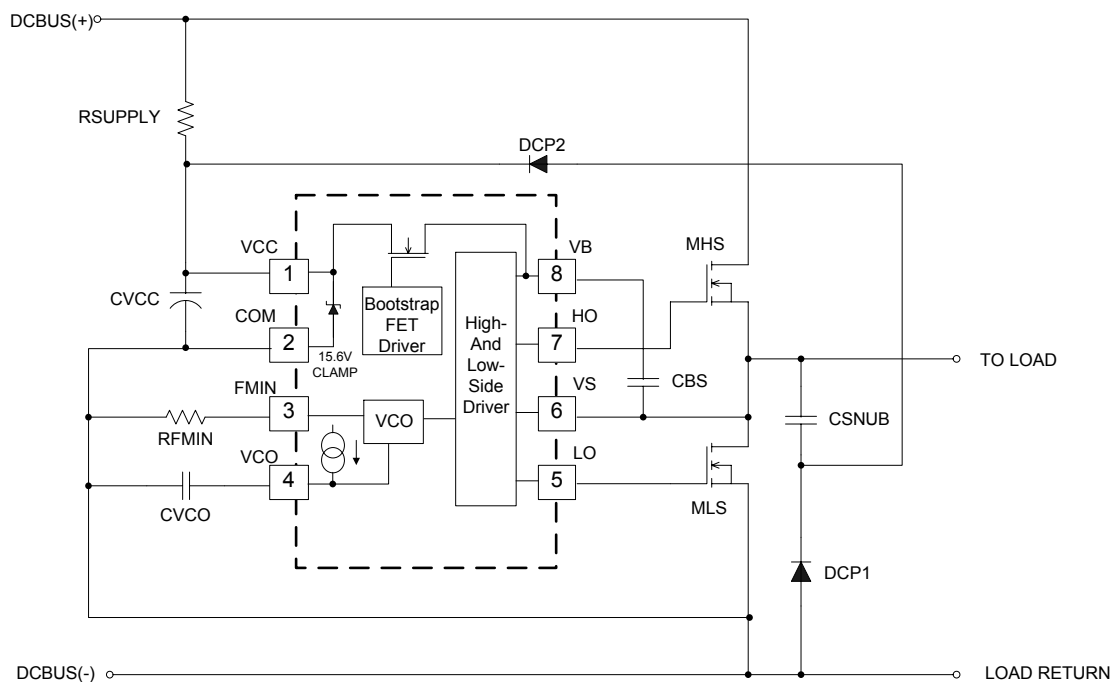


图2 频率扫描模式电路

应用信息

频率朝着高Q值镇流器输出级的谐振频率处斜坡下降,导致灯电压和负载电流增大。VCO引脚的电压继续增大,并且频率保持下降直到灯被点燃。如灯被成功点燃,VCO引脚的电压继续增大直到达到内部限制值6V (V_{VCO_MAX})。频率停止下降并停止由FMIN引脚处的外部电阻RFMIN设定的最小频率。最小频率应当被设定在低于高Q值镇流器输出级的谐振频率,以便该频率斜坡通过为使灯点燃的谐振频率处(图4)。所要求的预热时间能够通过调节CVCO电容处的VCO点的斜坡斜率。

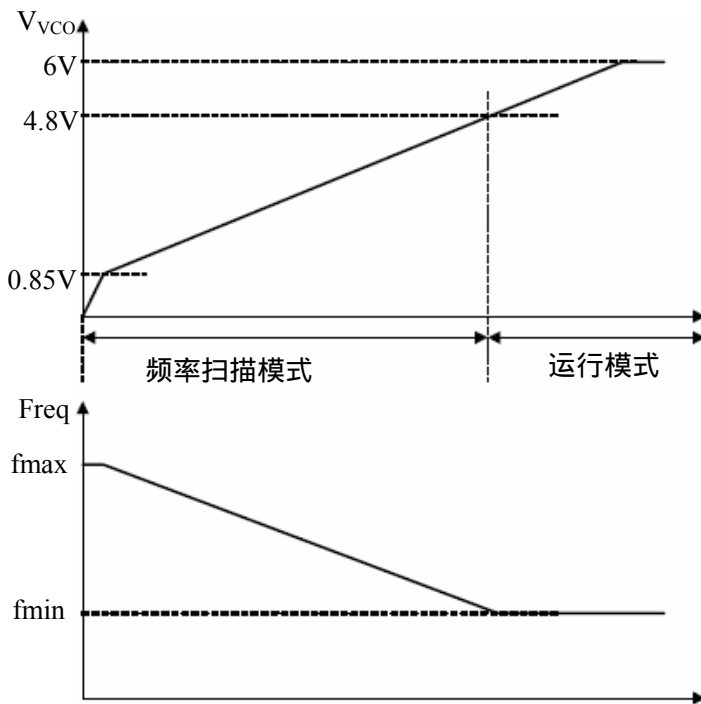


图3 3520D 频率扫描模式时序图

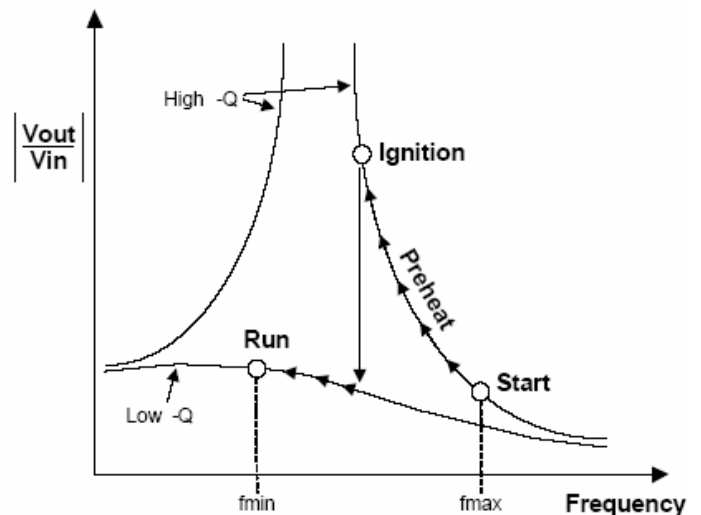


图4 包含灯工作点的谐振腔波特图

运行模式

当VCO引脚的电压超过4.8V(V_{VCO_RUN}),3520D进入运行模式。灯已经被点燃,同时镇流器的输出级变成一个低Q值、串联电感L、并联RC线路。并且,VS检测和错误逻辑模块(图5)都开始具有对非零电压转换和过流错误情况下的保护功能。VCO引脚上的电压继续增加,频率进一步下降,直到VCO引脚的电压限在6V (V_{VCO_MAX}),这样最小频率就达到了。谐振电感、谐振电容、总线电压和最小工作频率决定灯工作的功率。芯片维持在这个最小频率除非零电压转换在VS引脚发生或波峰因子过流情况在VS端被检测,或者VCC的电压减小到低于UVLO的阈值。(参见状态表)

应用信息

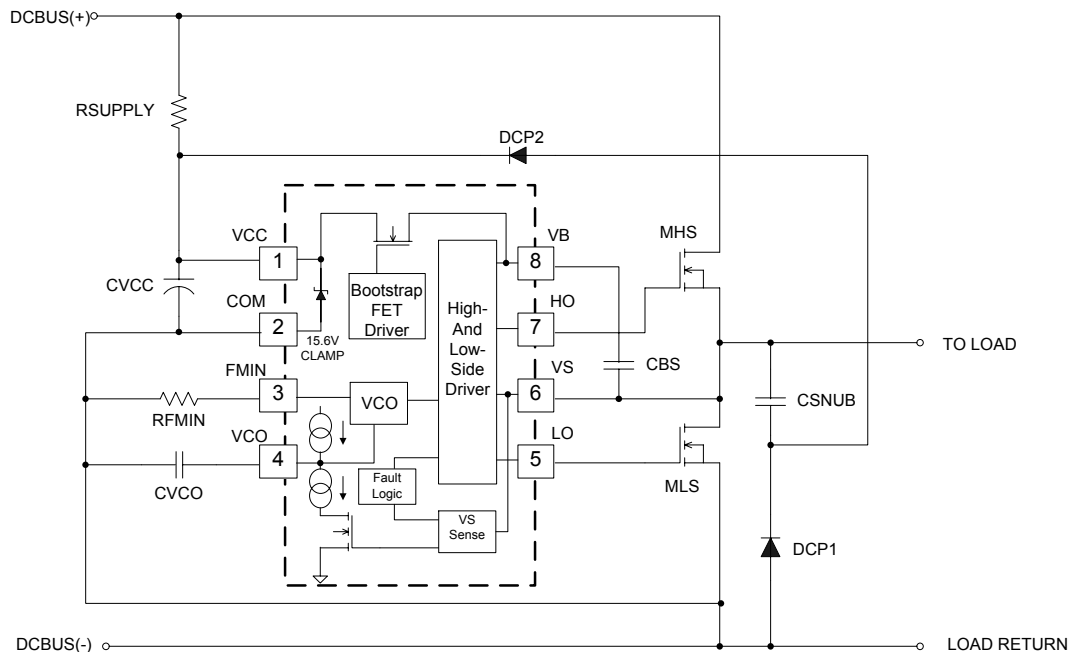


图5 3520D 运行模式电路

非零电压开关保护 (ZVS)

在运行模式中,如VS引脚的电压,在死区时间内没有减小到GND,这样,当LO开启时,在低边半桥MOSFET的源和漏极之间就会有个电压,接着系统工作在太接近或者在谐振点的容性侧。结果是非零电压容性模式开关导致足够破坏半桥的MOSFET的高尖峰电流流过它们(图6)。这个能够在灯丝错误、灯移除(开路)、在灯熄灭、直流总线的下跌或中断、灯随时间的变化、以及元件变化。为避免这些,一个内置的高压MOSFET在HO端关断时被打开,VS的检测电路检测VS的在LO的每个上升沿。如VS电压不是零,一个脉冲电流从VCO引脚处抽取电流来使外部电容CVCO缓慢放电,导致频率缓慢上升。VCO电容在剩下的周期中被内部的电容缓慢充电。

通过给VCO电容充电,频率向谐振频率点靠近。LO开启时,每次非零电压开关被检测,适应零电压开关的电路将频率轻推到稍高于谐振频率点。内部的高压MOSFET接着在LO关断时关断,并在VS缓慢上升到总线电势时承受高电压。由于线路情况改变、元件容差变化、灯或负载变化,但能工作并保持零电压开关,线路保持在闭环适应的零电压开关模式。在灯被移除或灯丝错误时,灯谐振状态将被中断导致半桥输出变成开路(图7)。这将会导致容性开关(硬开关),导致可损坏MOSFET的高尖峰电流产生。3520D将增加频率以便满足零电压开关条件,直到VCO引脚的电压低于 $0.82V(V_{VCO\text{SD}})$ 。芯片将进入错误模式,并将LO和HO栅驱动输出锁在“低”以便在损坏MOSFET之前将半桥安全的关断。

应用信息

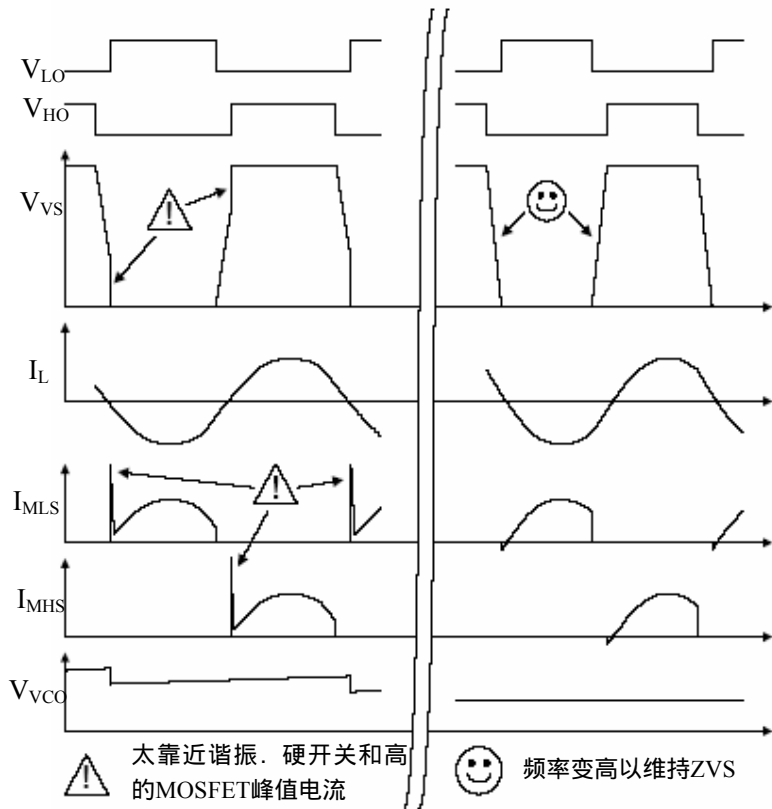


图6 3520D 非零电压开关保护时序图

波峰因子过流保护

在正常的灯点燃过程中,频率扫描过谐振点,输出电压在谐振电容和灯的两端增加直到灯被点燃。如果灯点燃失败,谐振电容的电压、电感电压和电感电流将会继续增大直到电感饱和或者输出电压超过谐振电容和电感的额定最大值。镇流器必须在损坏之前关断。为保护以免在灯点燃失败的错误情况下发生损害,3520D利用VS检测线路(图5)来测量低边半桥MOSFET的电流,从而实现检测过流错误。通过利用低边MOSFET的导通电阻进行电流检测和VS检测线路,3520D排除了需要额外的电流检测电阻,滤波器和电流检测引脚。为消除温度和MOSFET变化对导通电阻的影响,3520D执行一个波峰因子测量来检测当尖峰电流超过平均电流的5倍(CSCF)。当频率扫过谐振频率点而灯没有点燃,由于额外的电流在谐振回路中产生而导致电感饱和,此时检测测量波峰因子是理想的。当VCO的电压初次从零开始斜坡上升,谐振回路电流和电压随着频率朝着谐振点减小而增大(图8)。如灯没有点燃,电感电流将最终饱和但波峰因子错误保护没起作用直到VCO电压初次超

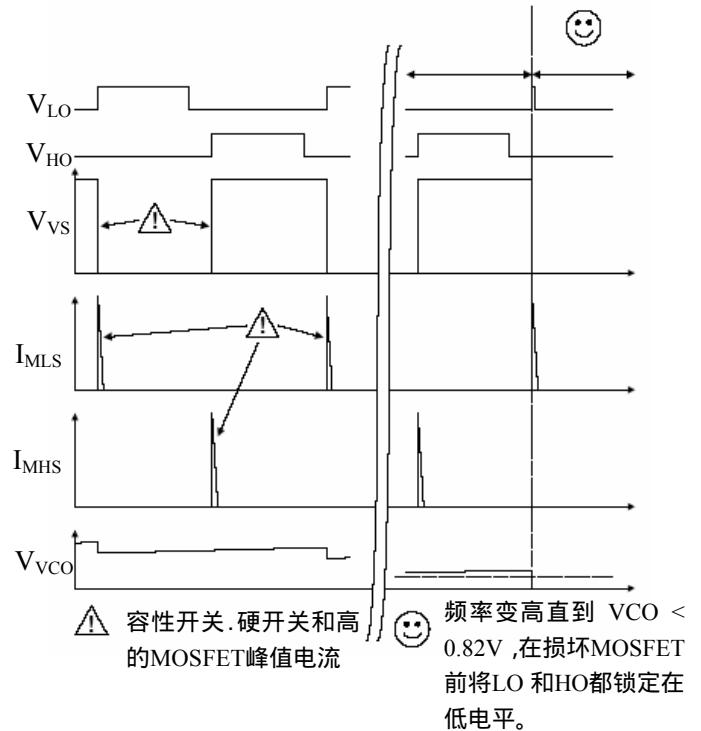


图7 无灯或灯丝开路错误条件下的时序图

应用信息

过4.8V(V_{VCO_RUN})。频率将继续减小到容性谐振边朝着最小频率设定值减小，谐振回路的电流和电压将进一步减小。当VCO的电压超过4.8V(V_{VCO_RUN})，芯片进入运行模式，非零电压开关保护和波峰因子保护都被激活。非零电压开关保护将频率从容性侧每周期向谐振处增加。当频率在谐振点附近时，谐振回路的电流将再次增加，直到电感再次饱和。

波峰因子饱和现被激活，在LO为“高”并且在LO上升沿1 μ s的空白时间之后测量VS端的瞬态电压。空白时间是必要的以避免波峰因子保护线路因非零电压开关情况作出反应。一个内部的平均电路将LO端10到20个开关周期的瞬态电压进行平均。在运行模式中，当LO为“高”（1 μ s空白时间之后）和峰值电流超过平均的5倍（CSCF）使电感初次饱和时，3520D将进入错误模式，LO和HO输出都被锁为“低”。半桥将在镇流器元件发生任何损坏之前关断。

波峰因子峰值-平均值错误因子作为内部平均的作用而变化。最大的内部平均应当小于3V。如平均超过该值，被乘的平均电压将超过VS检测电路的最大限，这样VS检测电路将不能检测波峰因子错误。这种情况能发生在当选用作半桥MOSFET的导通电阻对应用来说太大，导致内部平均超过了最大限。

错误模式

在运行模式，如果VCO的电压减小到0.82V以下(V_{VCO_SD})或者波峰因子错误发生，3520D将进入错误模式（见状态表）。LO和HO栅驱动输出都锁为“低”，从而半桥关断。VCO引脚被拉到GND，FMIN引脚被从5V拉到GND。VCC抽取微小电流(I_{CCFLT})，从而VCC停留在钳位电压，芯片保持在错误模式而无需电荷泵辅助供电。为离开错误模式并回到频率扫描模式，VCC必须轮转到低于UVLO-阈值后回到UVLO+阈值之上。

应用信息

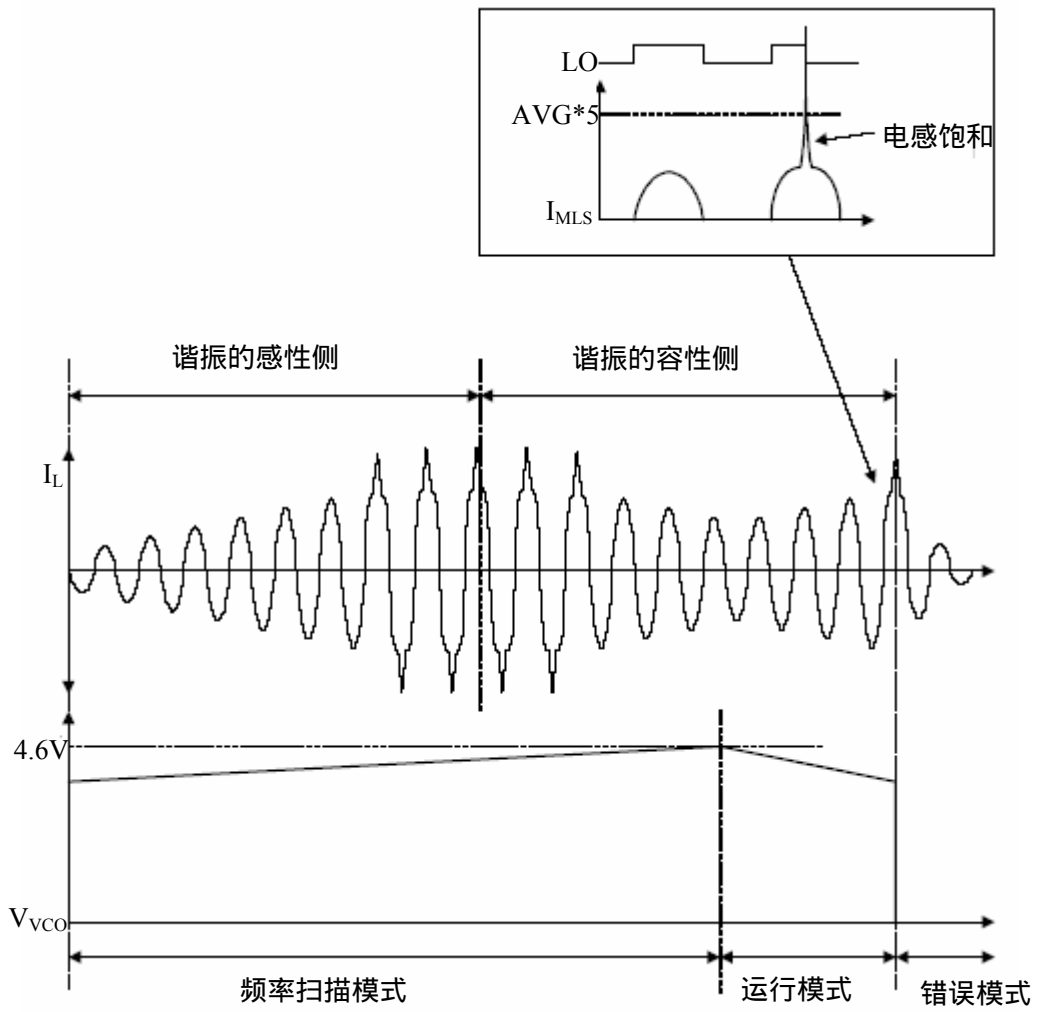
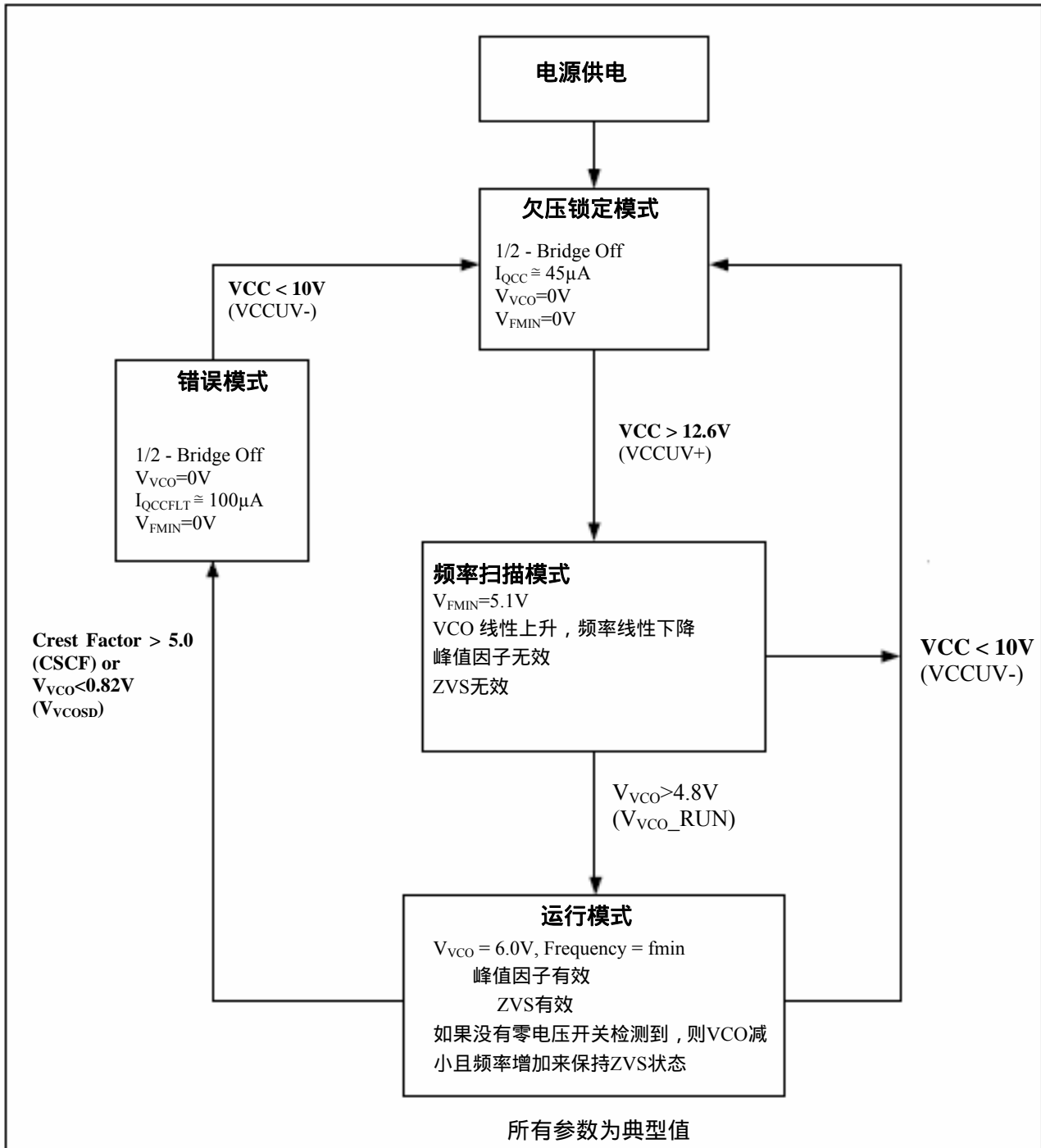


图8 峰值因子保护时序图

状态图



典型性能特性

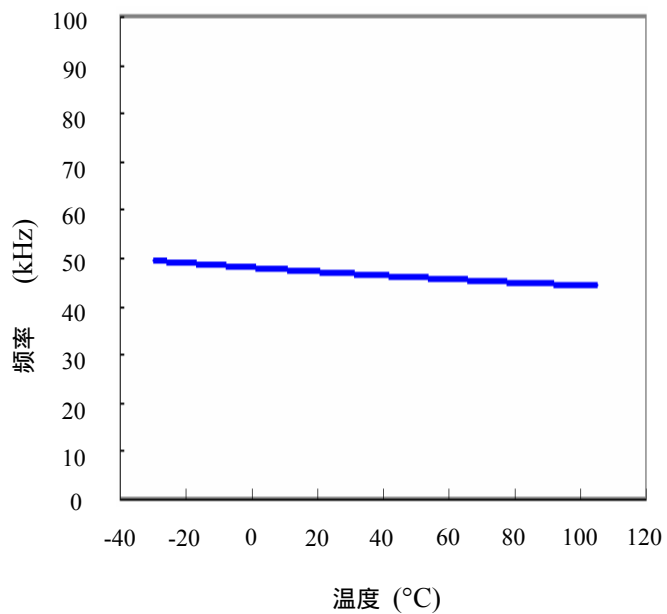
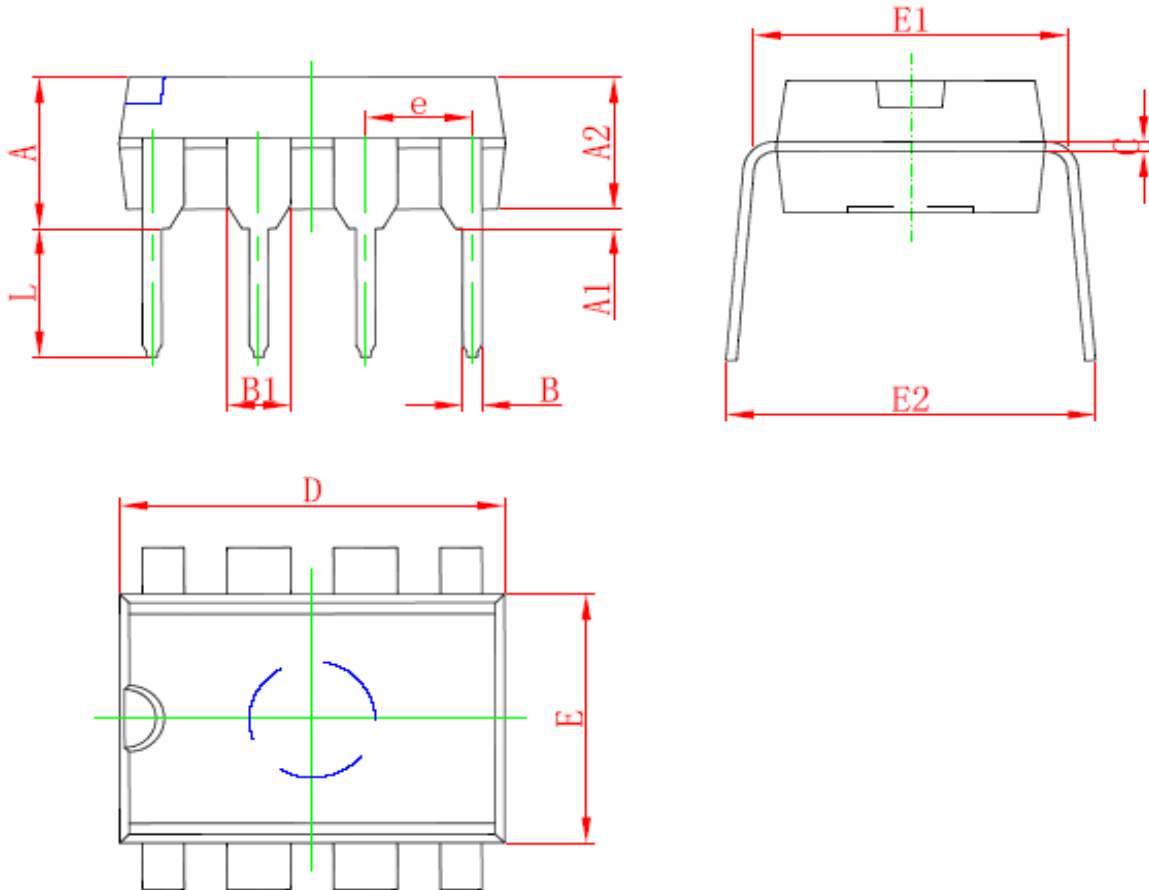


图9 频率—温度曲线 RFMIN=68K VVCO=5V

自适应整流器控制芯片

封装信息

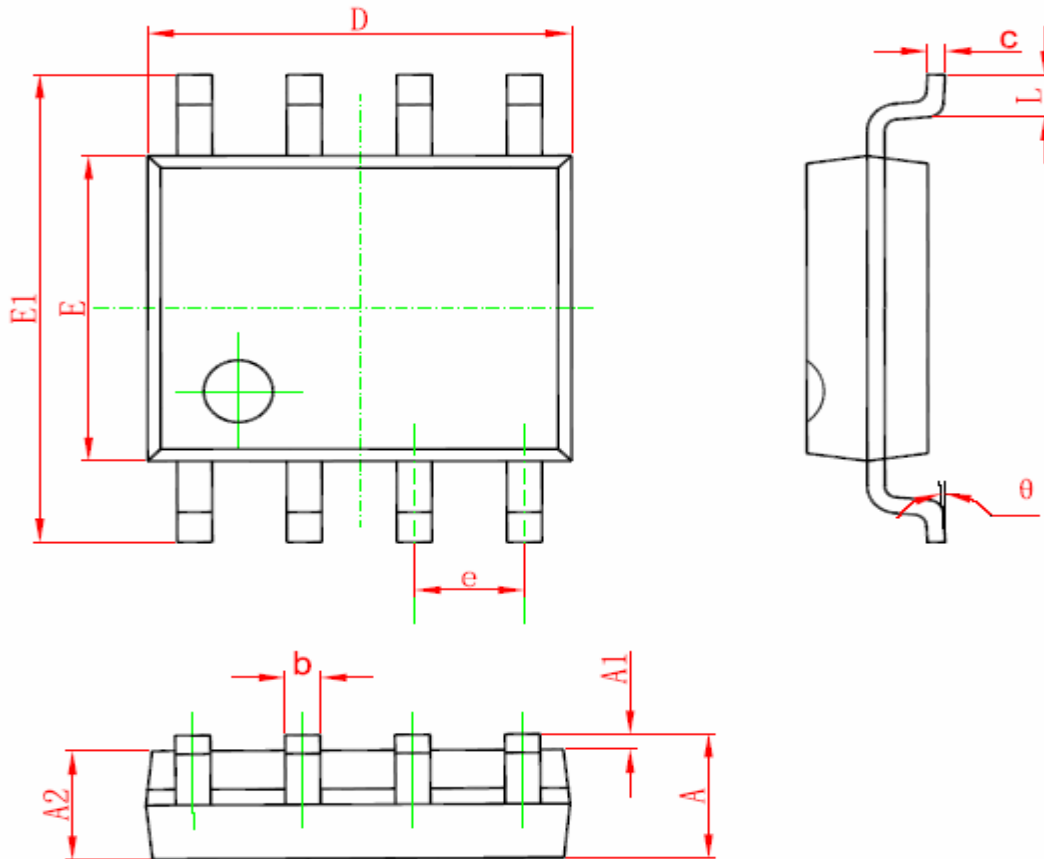
3520D 8-Lead DIP



| Symbol | Dimensions In Millimeters | | Dimensions In Inches | |
|--------|---------------------------|-------|----------------------|-------|
| | Min | Max | Min | Max |
| A | 3.710 | 4.310 | 0.146 | 0.170 |
| A1 | 0.510 | | 0.020 | |
| A2 | 3.200 | 3.600 | 0.126 | 0.142 |
| B | 0.380 | 0.570 | 0.015 | 0.022 |
| B1 | 1.524(BSC) | | 0.060(BSC) | |
| C | 0.204 | 0.360 | 0.008 | 0.014 |
| D | 9.000 | 9.400 | 0.354 | 0.370 |
| E | 6.200 | 6.600 | 0.244 | 0.260 |
| E1 | 7.320 | 7.920 | 0.288 | 0.312 |
| e | 2.540(BSC) | | 0.100(BSC) | |
| L | 3.000 | 3.600 | 0.118 | 0.142 |
| E2 | 8.400 | 9.000 | 0.331 | 0.354 |

封装信息

3520D 8-Lead SOP

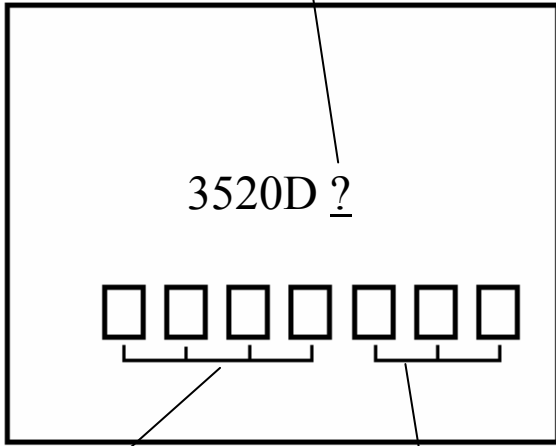


| Symbol | Dimensions In Millimeters | | Dimensions In Inches | |
|--------|---------------------------|-------|----------------------|-------|
| | Min | Max | Min | Max |
| A | 1.350 | 1.750 | 0.053 | 0.069 |
| A1 | 0.100 | 0.250 | 0.004 | 0.010 |
| A2 | 1.350 | 1.550 | 0.053 | 0.061 |
| b | 0.330 | 0.510 | 0.013 | 0.020 |
| c | 0.170 | 0.250 | 0.006 | 0.010 |
| D | 4.700 | 5.100 | 0.185 | 0.200 |
| E | 3.800 | 4.000 | 0.150 | 0.157 |
| E1 | 5.800 | 6.200 | 0.228 | 0.244 |
| e | 0.127(BSC) | | 0.050(BSC) | |
| L | 0.400 | 1.270 | 0.016 | 0.050 |
| θ | 0° | 8° | 0° | 8° |

自适应整流器控制芯片

无铅产品标号信息

| | |
|---|-----------|
| P | DIP-8 封装 |
| S | SOIC-8 封装 |



Date code

Lot Code

订单信息

Leadfree Part

8-Lead PDIP 3520D order 3520DEPA

8-Lead SOIC 3520D order 3520DESA

Revision: C
Issue Date: Aug. 9, 2012
Type: Product